

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-109782

(43)Date of publication of application : 10.04.1992

(51)Int.Cl.

H04N 5/95

(21)Application number : 02-228581

(71)Applicant : CANON INC

(22)Date of filing : 29.08.1990

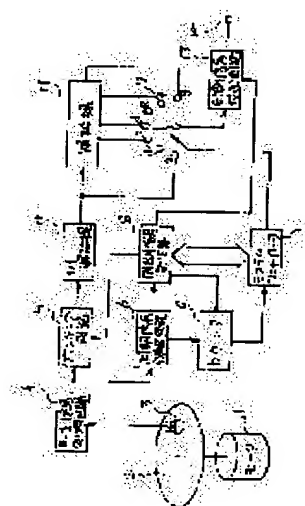
(72)Inventor : TAKAIWA KAN

(54) RECORDING DEVICE AND REPRODUCING DEVICE

(57)Abstract:

PURPOSE: To reduce the effect of an error without increasing additional information such as error correction by including a specific SYNC pattern to a code word or a final part of linked code words and detecting the SYNC pattern when code synchronization is unlocked at reproduction.

CONSTITUTION: A signal inputted from an input section 4 in a coder is inputted to a pattern selector 7. The pattern selector 7 selects an information pattern inputted from an information pattern input section 5 and an end pattern inputted from an end pattern input section 6 according to an input signal and links them and outputs the result to an output section 8. A variable length decoding section 15 in a reproduction device stops decoding when an error information input section 13 detects an error and inputted to the section 15 and restarts a variable length decoding according to a head position of a code word inputted from a SYNC pattern detection section 14. Thus, even when an error takes place at the reproduction, the code synchronization of the variable length code is simply restored.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-109782✓

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月10日 ✓

H 04 N 5/95

Z

7205-5C

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 画像信号処理装置

⑯ 特 願 平2-228581

⑰ 出 願 平2(1990)8月29日

⑱ 発 明 者 高 岩 敢 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

⑳ 代 理 人 弁理士 丸島 儀一 外1名

明 細 書

1. 発明の名称

画像信号処理装置

2. 特許請求の範囲

画像信号を処理する装置であって、

夫々が互いに異なる遅延時間を有し、入力画像信号を夫々遅延し出力する複数の遅延回路と、

前記複数の遅延回路により遅延された画像信号のうち少なくとも1種類の画像信号を前記入力画像信号に発生している時間軸変動量に応じて選択する選択手段と、

前記選択手段により選択された画像信号を用いて、出力画像信号を形成し、出力する出力画像信号形成手段とを備えたことを特徴とする画像信号処理装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は画像信号を処理する画像信号処理装置に関するものである。

〔従来の技術〕

従来より画像信号処理装置として記録媒体に画像信号を記録し、該記録媒体より記録されている画像信号を再生する画像信号記録再生装置がある。

上述の画像信号記録再生装置には例えばビデオテープレコーダや電子スチルビデオシステム等があり、磁気テープや磁気ディスクを用いて画像信号を記録再生する様に構成されている。

そして、上述の画像信号記録再生装置においては再生時に再生画像信号中に発生する時間軸変動により生じる画質劣化が問題となっており、該時間軸変動を除去する為、TBC(Time Base Corrector)回路が用いられている。

TBC回路は再生画像信号に生じている時間軸変動に同期したクロック信号をPLL(Phase Locked Loop)回路やゲートッドオシレータ等により形成し、該クロック信号に同期して再生画像信号をA/D変換する事によりデジタル化し、デジタル化された再生画像信号をメモリ

に一旦記憶した後、該メモリから正確なクロック信号に同期して読み出し、再びアナログ化する事により時間軸変動を除去しようとするものである。

〔発明が解決しようとしている問題点〕

しかしながら、上述のTBC回路は構成が複雑なため非常にコスト高となると共に以下の様な問題がある。

すなわち、従来のTBC回路はクロック信号を形成する際の基準信号として再生画像信号中の水平同期信号を用いており、再生画像信号中の水平同期信号により制御されるゲートドライバ回路によってクロック信号を形成する場合には、該水平同期期間内に発生する時間軸変動を除去する事ができず、各水平同期信号の直前の期間中に時間軸変動が残ってしまい再生画像の右端付近に歪みを生じてしまう。

そこで、本発明は簡単に低コストな構成により画像信号に発生している時間軸変動成分を低

減することができる画像信号処理装置を提供することを目的とする。

〔問題を解決するための手段〕

本発明の画像信号処理装置は画像信号を処理する装置であって、夫々が互いに異なる遅延時間を有し、入力画像信号を夫々遅延し出力する複数の遅延回路と、前記複数の遅延回路により遅延された画像信号のうち少なくとも1種類の画像信号を前記入力画像信号に発生している時間軸変動量に応じて選択する選択手段と、前記選択手段により選択された画像信号を用いて、出力画像信号を形成し、出力する出力画像信号形成手段とを備えたものである。

〔作用〕

上述の構成によれば簡単に低コストな構成により画像信号に発生している時間軸変動成分を低減することができる様になる。

〔実施例〕

以下、本発明を本発明の実施例を用いて説明する。

第1図は本発明の第1実施例としての画像信号再生装置の概略構成を示した図である。

第1図において、モータ1により所定の回転数にて回転されている磁気ディスク2上のトラックから磁気ヘッド3により再生された再生信号は再生信号処理回路4に供給され、該回路4において、ディエンファシス処理、復調等の各種再生信号処理を施した後、ブランキング回路5、同期信号分離回路6に供給される。

ブランキング回路5では再生信号処理回路4より出力された再生画像信号中の水平及び垂直同期信号を除去した後1H(Hは1水平同期期間)遅延線7に供給する。

また、同期信号分離回路6は前記再生信号処理回路4より出力された再生画像信号より水平及び垂直同期信号を分離し、同期信号発生器8カウンタ9に供給する。

同期信号発生器8は前段の同期信号分離回路6より供給される水平及び垂直同期信号に基づき前記ブランキング回路5におけるブランキン

グ処理を制御するためのゲート信号、カウンタ9を動作させるためのクロック信号、システムコントローラ10を制御するための各種同期信号、後段の同期信号付加回路13において付加される水平及び垂直同期信号を発生し、夫々の回路に供給している。

そして、1H遅延線7において、1H期間遅延された再生画像信号は遅延線11及び切換スイッチ12のa端子に供給される。

ところで遅延線11は複数の中間タップを有しており、各タップの間隔Tは $T = 1/f$ が再生画像信号の周波数帯域外となる様に設定され、またタップ数nは $n \cdot T$ が一画面内において発生する最大時間軸変動よりも大きくなる様に設定されている。尚、本実施例では遅延線11の中間タップ数を5個とし、各中間タップ及び遅延線11より出力される再生画像信号は切換スイッチ12のb～e端子に供給され、切換スイッチ12のa～e端子のうちいずれか1個の端子を選択する事により1H遅延線7ある

いは遅延線11にて遅延された再生画像信号が同期信号付加回路13に供給される。

尚、前記切換スイッチ12の切換動作の制御はシステムコントローラ10により以下の様に行なわれている。

すなわち、カウンタ9は同期信号分離回路6より供給される同期信号からジッター成分を含む1水平同期期間の長さを同期信号発生器8より供給されるクロック信号に基づき計測しており、計測された1水平同期期間を t_H' とすると、 $t_H' = t_H + \Delta t$ （ただし、 t_H はジッター成分を含まない1水平同期期間の長さ、 Δt はジッター成分を表わしている）となる。

そして、カウンタ9より出力される t_H' を表わすデータが供給されるシステムコントローラ10では $m \cdot T$ （ m はシステムコントローラ10により選択される中間タップ段数で、本実施例では $m = 0 \sim 6$ の整数）が $\Delta t/2$ に最も近くなる様に1水平同期期間毎に切換スイッチ12における端子a～gの接続を制御してい

列18に供給される。

尚、シフトレジスタ17の段数は1水平同期期間を t_H 、1水平同期期間中のブランキング期間を t_{BLK} 、前記A/D変換器15におけるサンプリング間隔を t_s とすると $(t_H - t_{BLK})/t_s$ 以上に設定されている。

シフトレジスタ列17は夫々がデータを前記同期信号発生器16より出力されるクロック信号に同期して1サンプリング期間遅延する4個の1サンプルシフトレジスタ17a～17dにより構成されており、シフトレジスタ17、シフトレジスタ列18より出力されるデジタル再生画像信号は切換スイッチ19のa、b、c端子、切換スイッチ20のd、e端子に供給され、前記切換スイッチ19によりa、b、c端子のうちの1個を、また前記切換スイッチ20によりd、e端子のいずれかを選択する事により、切換スイッチ19からはシフトレジスタ17あるいはシフトレジスタ列18にて遅延されたデジタル再生画像信号が加算器21及

び

以上の動作により、同期信号付加回路13に供給される再生画像信号は各水平同期期間毎にジッター成分がほぼ半分に低減され、更に同期信号付加回路13において水平及び垂直同期信号が付加された後、出力端子14より出力される。第2図は本発明の第2実施例としての画像信号再生装置の概略構成を示した図である。

尚、第2図において前記第1図と同様の構成には同じ符番を付し、詳細な説明は省略する。

第2図において、再生信号処理回路4より出力された再生画像信号はブランキング回路5において水平及び垂直同期信号が除去された後、A/D変換器15に供給される。

A/D変換器15では同期信号発生器16より出力されるクロック信号に同期して再生画像信号をデジタル化した後、やはり該同期信号発生器16より出力されるクロック信号に同期してデータをシフトするシフトレジスタ17によって1H期間遅延された後、シフトレジスタ

び切換スイッチ23のf端子に供給され、切換スイッチ20からはシフトレジスタ列18にて遅延されたデジタル再生画像信号が加算器21及び切換スイッチ23のh端子に供給される。

尚、切換スイッチ23のg端子には切換スイッチ19、20より出力されるデジタル再生画像信号の平均値が加算器21、係数乗算器22によって形成され、供給されており、該切換スイッチ23によりf、g、h端子のいずれかを選択する事によりシフトレジスタ17、シフトレジスタ列18にて遅延されたデジタル再生信号あるいは遅延されたデジタル再生信号の平均値がA/D変換器24に供給される。

尚、前記切換スイッチ19、20、23の切換動作の制御はシステムコントローラ25により以下の様に行なわれている。

すなわち、前記第1図に示した第1実施例と同様にカウンタ9によりジッター成分を含む1水平同期期間の長さを計測している。尚、この

時カウンタ9より出力されるデータはサンプリング間隔 t_s を単位としたデータである。

そして、システムコントローラ25ではカウンタ9より供給されるジッター成分を含む1水平同期期間を覆わずデータ ΔH を予め知られているジッター成分を含まない1水平同期期間のデータ ΔH とを比較する事によりジッター成分を覆わずデータ ΔH を算出し、該ジッター成分データ ΔH の大きさに応じて切換スイッチ19, 20, 23を例えば第3図に示す様に接続する様に制御している。

そして、切換スイッチ23より出力されるジッター成分が低減されたデジタル再生画像信号はD/A変換器24において前記同期信号発生器15より出力されるクロック信号に同期してアナログ化された後、同期信号付加回路13において水平及び垂直同期信号が付加された後、出力端子14より出力される。

尚、第1図に示した第1実施例における遅延線11の中間タップ数や、第2図に示した第

2実施例におけるシフトレジスタ列18の1サンプルシフトレジスタ数は実施例に示した数に限るものではない。

また第1、第2実施例では画像信号が記録されている磁気ディスクの再生装置を例として説明して来たが、光ビデオディスクプレーヤやビデオテープレコーダ等の装置にも本発明は適用可能で同様の効果を得ることができるものである。

[発明の効果]

以上説明して来た様に本発明によれば簡単に低コストな構成により画像信号に発生している時間軸変動成分を低減する事ができる画像信号処理装置を提供する事ができる様になる。

4. 図面の簡単な説明

第1図は本発明の第1実施例としての画像信号再生装置の概略構成を示した図である。

第2図は本発明の第2実施例としての画像信号再生装置の概略構成を示した図である。

第3図は第2図に示した第2実施例における

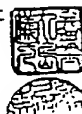
システムコントローラ25による切換スイッチ19, 20, 23の切換制御動作を説明するための図である。

- 6 ... 同期信号分離回路
- 7 ... 1H遅延線
- 8, 16 ... 同期信号発生器
- 9 ... カウンタ
- 10, 25 ... システムコントローラ
- 11 ... 遅延線
- 12, 19, 20, 23 ... 切換スイッチ
- 15 ... A/D変換器
- 17 ... シフトレジスタ
- 18 ... シフトレジスタ列
- 21 ... 加算器
- 22 ... 係数乗算器
- 24 ... D/A変換器

出願人 キヤノン株式会社

代理人 丸 島 儀 一

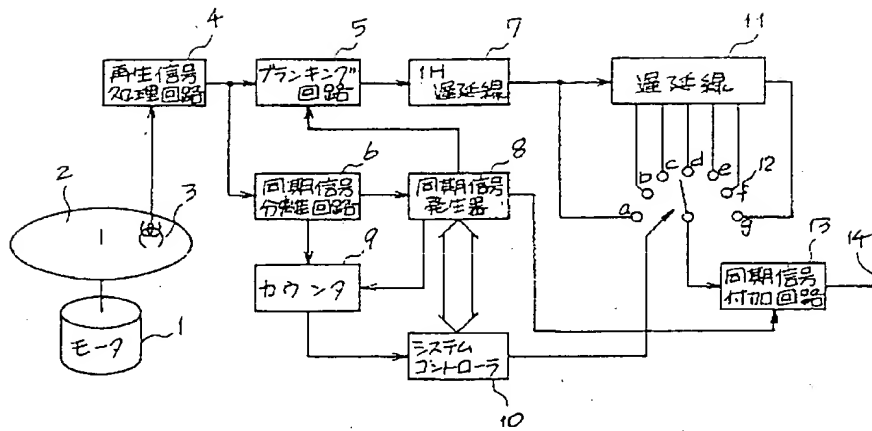
" 西 山 恵 三



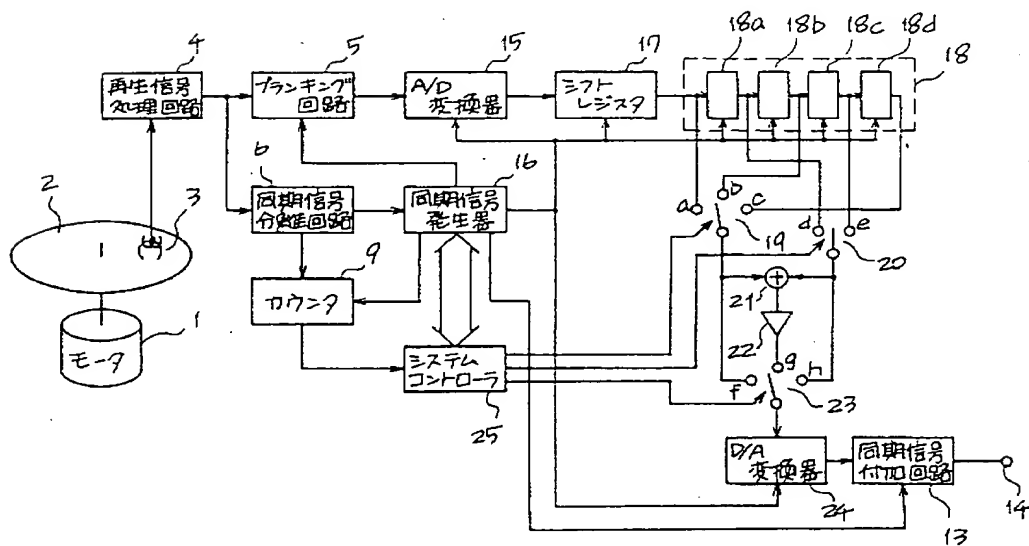
第3図

ジッター成分 ΔH	切換スイッチ 19	切換スイッチ 20	切換スイッチ 23
$-4t_s$	a	—	f
$-3t_s$	a	d	g
$-2t_s$	—	d	h
$-t_s$	b	d	g
0	b	—	f
t_s	b	e	g
$2t_s$	—	e	h
$3t_s$	c	e	g
$4t_s$	c	—	f

第1図



第2図



(Full translation)

Japanese Patent Application Laid-Open No. Hei 4-109782

Laid-Open Date: April 10, 1992

Title of the Invention: Image signal processing apparatus

Application No. Hei 2(1990)-228581

Application Date: August 29, 1990

Inventor: Isao Takaiwa

Applicant: Cannon INC.

Agents: Giichi Marushima, Patent Attorney, and one more agent

Specification

1. Title of the Invention:

Image signal processing apparatus

2. What is claimed is:

An image signal processing apparatus for processing an input image signal, comprising:

a plurality of delay circuits respectively having delay times different from one another, said delay circuits respectively delaying the input image signal and outputting the delayed input image signals therefrom;

selecting means which selects at least one type of image signal of the image signals delayed by the plurality of delay circuits in accordance with the amount of a time base fluctuation produced in the input image signal; and

output image signal forming means which forms an output image signal by use of the image signal selected by the selecting means and outputs the same.

3. Detailed Description of the Invention:

[Industrial Field of Application]

The present invention relates to an image signal processing apparatus for processing an image signal.

[Prior Art]

As an image signal processing apparatus, there has heretofore been known an image signal recording and reproducing apparatus which records an image signal in a recording medium and reproduces the image signal recorded in the recording medium.

As the above-described image signal recording and reproducing apparatus, may be mentioned, for example, a video tape recorder, an electronic still video system or the like. This is configured so as to record and reproduce an image signal by use of a magnetic tape or a magnetic disk.

In the image signal recording and reproducing apparatus referred to above, deterioration in image quality developed due to a time base fluctuation produced in the reproduced image signal upon reproduction turns into a problem. A TBC (Time Base Corrector) circuit is used to eliminate the time base fluctuation.

The TBC circuit aims to form a clock signal synchronized with a time base fluctuation being produced

in a reproduced image signal by a PLL (Phase Locked Loop) circuit, a gated oscillator or the like, A/D-convert the reproduced image signal in synchronism with the clock signal to digitize it, temporarily store the digitized reproduced image signal in a memory, thereafter read it from the memory in synchronism with the correct clock signal and bring it into analog form to thereby eliminate the corresponding time base fluctuation.

[Problems to be Solved by the Invention]

Since, however, the aforementioned TBC circuit is complex in configuration, it becomes so high in cost and involves the following problems.

That is, the conventional TBC circuit makes use of a horizontal synchronizing signal of a reproduced image signal as a reference signal upon forming a clock signal. When the clock signal is formed by a gated oscillator or a PLL circuit controlled by the horizontal synchronizing signal of the reproduced image signal, a time base fluctuation developed within the horizontal sync period cannot be eliminated, and the time base fluctuation remains during a period lying immediately after each horizontal synchronizing signal, thus causing deterioration in image quality in the vicinity of a right end of a reproduced image.

Therefore, the present invention aims to provide an image signal processing apparatus capable of reducing a time base fluctuation component being developed in an

image signal by means of a simple and low-cost configuration.

[Means for Solving the Problems]

An image signal processing apparatus of the present invention is an apparatus for processing an input image signal, which comprises a plurality of delay circuits respectively having delay times different from one another, which respectively delay the input image signal and output the delayed input image signals therefrom, selecting means which selects at least one type of image signal of the image signals delayed by the plurality of delay circuits in accordance with the amount of a time base fluctuation being produced in the input image signal, and output image signal forming means which forms an output image signal by using the image signal selected by the selecting means and outputs the same.

[Effect]

According to the above-described configuration, a time base fluctuation component being produced in an image signal can be reduced by a simple and low-cost configuration.

[Preferred embodiments]

The present invention will hereinafter be explained using embodiments of the present invention.

Fig. 1 is a diagram showing a schematic configuration of an image signal reproducing apparatus illustrated as a first embodiment of the present

invention.

Referring to Fig. 1, a reproduced signal reproduced by a magnetic head 3 from a track on a magnetic disk 2 being rotated at a predetermined number of revolutions by a motor 1 is supplied to a reproduced signal processing circuit 4, where the signal is subjected to various playback signal processes such as a de-emphasis process, demodulation, etc., followed by being supplied to a blanking circuit 5 and a sync signal separation circuit 6.

The blanking circuit 5 eliminates horizontal and vertical synchronizing signals lying in the reproduced image signal outputted from the reproduced signal processing circuit 4 and thereafter supplies the so-processed signal to a 1H (where H: one horizontal sync period) delay line 7.

Further, the sync signal separation circuit 6 separates the horizontal and vertical synchronizing signals from the reproduced image signal outputted from the reproduced signal processing circuit 4 and supplies the so-processed signal to a sync signal generator 8 and a counter 9.

The sync signal generator 8 generates a gate signal for controlling a blanking process of the blanking circuit 5, a clock signal for activating the counter 9, various sync signals for controlling a system controller 10 and horizontal and vertical synchronizing signals added to a sync signal addition circuit 13 provided in a

subsequent stage on the basis of the horizontal and vertical synchronizing signals supplied from the pre-stage sync signal separation circuit 6, and supplies them to their corresponding circuits.

Then the 1H delay line 7 supplies the 1H-period delayed reproduced image signal to a delay line 11 and a terminal a of a selector switch 12.

Meanwhile, the delay line 11 has a plurality of intermediate taps. The interval T between the adjacent taps is set such that $f_0 = 1/2T$ falls out of a frequency band of the reproduced image signal. The number of the taps n is set in such a manner that nT becomes larger than a maximum time base fluctuation produced within one screen. Incidentally, in the present embodiment, the number of the intermediate taps of the delay line 11 is set to five, and the reproduced image signal outputted from each of the intermediate taps and the delay line 11 is supplied to each of terminals b through g of the selector switch 12. Any one of the terminals a through g of the selector switch 12 is selected so that the reproduced image signal delayed by the 1H delay line 7 or the delay line 11 is supplied to the sync signal addition circuit 13.

Incidentally, control on the operation of switching by the selector switch 12 is performed by the system controller 10 as mentioned below.

That is, the counter 9 counts the length of a 1

horizontal sync period containing a jitter component from the synchronizing signal supplied from the sync signal separation circuit 6, based on the clock signal supplied from the sync signal generator 8. Assuming that the measured 1 horizontal sync period is $t_{H'}$, $t_{H'} = t_H + \Delta t$ (where t_H indicates the length of a 1 horizontal sync period excluding the jitter component, and Δt indicates the jitter component) is reached.

Then the system controller 10 supplied with data indicative of $t_{H'}$ outputted from the counter 9 controls connections of the terminals a through g of the selector switch 12 for each 1 horizontal sync period in such a manner that $m \cdot T$ (where m indicates the number of intermediate tap stages selected by the system controller 10, and corresponds to an integer which ranges from 0 to 6 in the present embodiment) becomes closest to $\Delta t/2$.

Owing to the above-described operation, the reproduced image signal supplied to the sync signal addition circuit 13 is processed so that the jitter component is reduced to almost half for each horizontal sync period and further added with the horizontal and vertical synchronizing signals by the sync signal addition circuit 13, followed by being outputted from an output terminal 14. Fig. 2 is a diagram showing a schematic configuration of an image signal reproducing device illustrated as a second embodiment of the present invention.

Incidentally, constituents similar to those shown in Fig. 1 are respectively identified by the same reference numerals in Fig. 2, and their detailed description will be omitted.

In Fig. 2, a blanking circuit 5 eliminates horizontal and vertical synchronizing signals from a reproduced image signal outputted from a reproduced signal processing circuit 4 and thereafter supplies the so-processed signal to an A/D converter 15.

The A/D converter 15 digitizes the reproduced image signal in synchronism with a clock signal outputted from a sync signal generator 16. Thereafter, the digitized signal is delayed 1H period by a shift register 17 for shifting data in synchronism with the clock signal outputted from the sync signal generator 16 similarly, followed by being supplied to a shift register 18.

Incidentally, the number of stages of the shift register 17 is set to greater than or equal to $(t_H - t_{BLK})/t_s$ assuming that a 1 horizontal sync period is t_H , a blanking period set during the 1 horizontal sync period is t_{BLK} , and a sampling interval of the A/D converter 15 is t_s .

The shift register sequence 17 comprises four one-sample shift registers 17a through 17d which respectively delay data by one sampling period in synchronism with the clock signal from the sync signal generator 16. The digital reproduced image signals outputted from the shift

register 17 and the shift register sequence 18 are supplied to terminals a, b and c of a selector switch 19 and terminals d and e of a selector switch 20. One of the terminals a, b and c is selected by the selector switch 19 and either of the terminals d and e is selected by the selector switch 20, so that the digital reproduced image signal delayed by the shift register 17 or the shift register sequence 18 is supplied from the selector switch 19 to an adder 21 and a terminal f of a selector switch 23, and the digital reproduced image signal delayed by the shift register sequence 18 is supplied from the selector switch 20 to the adder 21 and a terminal h of the selector switch 23.

Incidentally, the average value of the digital reproduced image signals outputted from the selector switches 19 and 20 is formed at and supplied to a terminal g of the selector switch 23 by the adder 21 and a $1/2$ coefficient multiplier 22. Any of the terminals f, g and h is selected by the selector switch 23 so that the digital reproduced signal delayed by the shift register 17 or the shift register sequence 18 or the average value of the digital reproduced signals is supplied to an A/D converter 24 (sic. D/A converter).

Incidentally, control on the operation of switching by each of the selector switches 19, 20 and 23 is performed by a system controller 25 as described below.

That is, a counter 9 measures the length of a 1

horizontal sync period containing a jitter component in a manner similar to the first embodiment shown in Fig. 1. Incidentally, data outputted from the counter 9 at this time is data with the sampling interval t_s as the unit.

Then the system controller 25 compares the data t_H' indicative of the 1 horizontal sync period containing the jitter component, which is supplied from the counter 9 with the data t_H of the 1 horizontal sync period uncontained the pre-known jitter component to thereby calculate data Δt indicative of the jitter component. The selector switches 19, 20 and 23 are controlled according to the magnitude of the jitter component data Δt so that they are connected as shown in Fig. 3, for example.

The digital reproduced image signal whose jitter component is reduced, which is outputted through the selector switch 23, is brought into analog form by the D/A converter 24 in synchronism with the clock signal outputted from the sync signal generator 16 and thereafter added with horizontal and vertical synchronizing signals by a sync signal addition circuit 12, followed by being outputted through an output terminal 14.

Incidentally, the number of the intermediate taps of the delay line 11 employed in the first embodiment shown in Fig. 1, and the number of the sample shift registers of the shift register sequence 18 employed in the second embodiment shown in Fig. 2 are respectively

not limited to the numbers illustrated in the embodiments.

While the first and second embodiments respectively have described, as an example, the reproducing apparatus for the magnetic disk on which the image signal is recorded, the present invention is applicable even to devices such as an optical video disk player, a video tape recorder, etc. and capable of obtaining a similar effect.

[Advantage of the Invention]

According to the present invention, as described above, an image signal processing apparatus can be provided which is capable of reducing a time base fluctuation component being produced in an image signal by means of a simple and low-cost configuration.

4. Brief Description of the Drawings:

Fig. 1 is a diagram showing a schematic configuration of an image signal reproducing apparatus illustrated as a first embodiment of the present invention.

Fig. 2 is a diagram depicting a schematic configuration of an image signal reproducing apparatus illustrated as a second embodiment of the present invention, and

Fig. 3 is a diagram for describing switching control operations of the selector switches 19, 20 and 23 by the system controller 25 employed in the second embodiment shown in Fig. 2.

6 ... sync signal separation circuit
7 ... 1H delay line
8, 16 ... sync signal generators
9 ... counter
10, 25 ... system controllers
11 ... delay line
12, 19, 20, 23 ... selector switches
15 ... A/D converter
17 ... shift register
18 ... shift register sequence
21 ... adder
22 ... 1/2 coefficient multiplier
24 ... D/A converter

Applicant: Cannon INC.

Agent: Giichi Marushima

Agent: Keizo Nishiyama